

日 本 国 特 許 庁

JAPAN PATENT OFFICE

8/12/03

Q 75720

/of/

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月13日

出 願 番 号

Application Number:

特願2002-235702

[ST.10/C]:

[JP2002-235702]

出 願 人

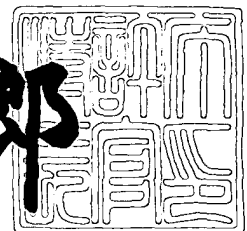
Applicant(s):

日本電気株式会社

2003年 5月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3037419

【書類名】 特許願

【整理番号】 76110438

【提出日】 平成14年 8月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786
H01L 21/336

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 松永 直記

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 世良 賢二

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 高橋 美朝

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100114672

【弁理士】

【氏名又は名称】 宮本 恵司

【電話番号】 042-730-6520

【手数料の表示】

【予納台帳番号】 093404

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0004232

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜半導体装置及び液晶表示装置

【特許請求の範囲】

【請求項 1】

絶縁性ガラス基板上に、駆動電圧の異なる複数の薄膜トランジスタが混載されてなる薄膜半導体装置において、

前記複数の薄膜トランジスタのゲート絶縁膜が、各々の駆動電圧におけるゲート電極電界が略 $1 \text{ MV/cm} \sim 2 \text{ MV/cm}$ の範囲となる膜厚で形成され、かつ、P型薄膜トランジスタのドレイン濃度が 略 $3 \text{ E} + 19 / \text{cm}^3 \sim 1 \text{ E} + 20 / \text{cm}^3$ の範囲に設定されていることを特徴とする薄膜半導体装置。

【請求項 2】

絶縁性ガラス基板上に、駆動電圧の異なる複数の薄膜トランジスタが混載されてなる薄膜半導体装置において、

前記複数の薄膜トランジスタのゲート絶縁膜が、各々の駆動電圧におけるゲート電極電界が略 $0.2 \text{ MV/cm} \sim 0.8 \text{ MV/cm}$ の範囲となる膜厚で形成され、かつ、P型薄膜トランジスタのドレイン濃度が 略 $3 \text{ E} + 19 / \text{cm}^3 \sim 1 \text{ E} + 20 / \text{cm}^3$ の範囲に設定されていることを特徴とする薄膜半導体装置。

【請求項 3】

前記複数の薄膜トランジスタは、駆動電圧の低いN型及びP型の薄膜トランジスタと、駆動電圧の高いN型及びP型の薄膜トランジスタとからなり、全ての薄膜トランジスタの前記ゲート絶縁膜が同一の膜厚で形成されていることを特徴とする請求項 1 又は 2 に記載の薄膜半導体装置。

【請求項 4】

駆動電圧の高いN型薄膜トランジスタはLDD構造で形成され、前記駆動電圧の高いN型薄膜トランジスタ以外の薄膜トランジスタはセルフアラインで形成されていることを特徴とする請求項 1 又は 3 に記載の薄膜半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一に記載の、異なる駆動電圧の複数の薄膜トランジスタを備えることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、駆動電圧の異なる複数の薄膜トランジスタ（TFT：Thin film transistor）を備える薄膜半導体装置及び液晶表示装置に関する。

【0002】

【従来の技術】

携帯電話やモバイル機器等の携帯端末機器やノートパソコン等のモニタとして液晶表示装置や有機EL表示装置等の画像表示装置が用いられている。例えば、アクティブマトリクス型の液晶表示装置は、ガラス基板上にマトリクス状に配列された画素に多結晶シリコンを用いてTFTを形成し、外付けされたゲートドライバやデータドライバ等の駆動回路を用いてTFTを駆動することにより、液晶の配向方向を制御して画像を表示している。

【0003】

近年、携帯端末機器の小型化に伴い、画像表示装置においても駆動回路や増幅回路等を外付けするのではなく、ガラス基板上に一体的に形成する方法が開発されつつある。駆動回路一体型の液晶表示装置の場合、上記回路はスイッチング素子として各画素に形成されるTFTと同時に作り込まれることになる。

【0004】

上記スイッチTFTや駆動回路はNチャネル型、Pチャネル型の2種類のTFTを用いて構成されるが、TFTの駆動条件は様々であり、駆動電圧の高いTFTもあれば駆動電圧の低いTFTもある。例えば、ドライバ回路を例にすると、走査線側とデータ線側では印加する駆動電圧が異なり、それに伴ってTFTに求められる耐圧も異なる。そのため、液晶表示装置としての性能を高めるためには各々の駆動電圧に適した構造のTFTを高いスループットで作り込む必要がある。

【0005】

ここで、トランジスタの耐圧を調整する方法として、ゲート絶縁膜の膜厚を変える方法がある。この方法について図面を参照して説明する。図3は、シリコン

基板上に形成されるゲート絶縁膜厚の異なる２種類のトランジスタの構造を示す断面図である。図に示すように、ゲート電極 2 0 3 とトランジスタのチャネル活性層 2 0 5 の間に存在するゲート絶縁膜 2 0 1 の厚さは、ゲート電極 2 0 4 とトランジスタのチャネル活性層 2 0 6 の間に存在するゲート絶縁膜 2 0 2 の厚さと異なっており、後者（図の右側のトランジスタ）ではドレイン電圧が高いことからトランジスタのゲート及びドレイン耐圧を考慮すればゲート絶縁膜の膜厚を厚くする必要がある。

【0 0 0 6】

【発明が解決しようとする課題】

しかしながら、図 3 に示す従来の方法では、高圧 P 型トランジスタをセルフアライン構造で作製しようとするれば、耐圧の問題の観点からゲート絶縁膜の膜厚を高圧／低圧のそれぞれに分けて規定する必要がある、工程が複雑になってしまう。また、N 型についても同様であり、さらに高圧トランジスタにはドレインに低濃度領域を含む L D D (Lightly Doped Drain) 構造とする必要がある、さらに工程は複雑になってしまう。

【0 0 0 7】

以上のことから、工程をできる限り簡素化しスループットを向上させることが求められているが、一般的に実施されている図 3 の方法では、図 3 の 2 0 2 のように、耐圧の観点からドレインに他のトランジスタのゲート酸化膜とは異なる厚さの酸化膜を設ける必要がある、これによって工程が複雑となり、スループットが低下してしまうという問題があった。

【0 0 0 8】

本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、工程を複雑にすることなく、高いスループットで形成した高圧／低圧の T F T を備える薄膜半導体装置及び液晶表示装置を提供することにある。

【0 0 0 9】

【問題を解決するための手段】

上記目的を達成するため、本発明の薄膜半導体装置は、絶縁性ガラス基板上に、駆動電圧の異なる複数の薄膜トランジスタが混載されてなる薄膜半導体装置に

において、前記複数の薄膜トランジスタのゲート絶縁膜が、各々の駆動電圧におけるゲート電極電界が略 $1 \text{ MV/cm} \sim 2 \text{ MV/cm}$ の範囲となる膜厚で形成され、かつ、P型薄膜トランジスタのドレイン濃度が 略 $3 \text{ E} + 19 / \text{cm}^3 \sim 1 \text{ E} + 20 / \text{cm}^3$ の範囲に設定されているものである。

【0010】

また、本発明の薄膜半導体装置は、絶縁性ガラス基板上に、駆動電圧の異なる複数の薄膜トランジスタが混載されてなる薄膜半導体装置において、前記複数の薄膜トランジスタのゲート絶縁膜が、各々の駆動電圧におけるゲート電極電界が略 $0.2 \text{ MV/cm} \sim 0.8 \text{ MV/cm}$ の範囲となる膜厚で形成され、かつ、P型薄膜トランジスタのドレイン濃度が 略 $3 \text{ E} + 19 / \text{cm}^3 \sim 1 \text{ E} + 20 / \text{cm}^3$ の範囲に設定されているものである。

【0011】

本発明においては、前記複数の薄膜トランジスタは、駆動電圧の低いN型及びP型の薄膜トランジスタと、駆動電圧の高いN型及びP型の薄膜トランジスタとからなり、全ての薄膜トランジスタの前記ゲート絶縁膜が同一の膜厚で形成されている構成とすることができる。

【0012】

また、本発明においては、駆動電圧の高いN型薄膜トランジスタはLDD構造で形成され、前記駆動電圧の高いN型薄膜トランジスタ以外の薄膜トランジスタはセルフアラインで形成されている構成とすることもできる。

【0013】

また、本発明の液晶表示装置は、上記記載の、異なる駆動電圧の複数の薄膜トランジスタを備えることを特徴とする。

【0014】

このように、本発明の薄膜半導体装置の構造では、P型TFTのドレイン濃度を $3 \text{ E} + 19 / \text{cm}^3 \sim 1 \text{ E} + 20 / \text{cm}^3$ の範囲とし、かつ、ゲート電極電界が $1 \text{ MV/cm} \sim 2 \text{ MV/cm}$ の範囲となるようにゲート絶縁膜の膜厚を定めることにより、単一の膜厚のゲート絶縁膜で高圧及び低圧のP型TFTをドレイン及びゲート耐圧を確保しつつ作製することが可能となる。また、高圧N型TFT

にはドレインに低濃度領域を備えるLDD構造を採用することにより、ドレイン耐圧を確保しつつ、かつ、P型TFTと同一膜厚のゲート絶縁膜を用いることができる。従って、駆動電圧の異なる少なくとも2種類のTFTを絶縁性ガラス基板上に作製する際の工程を簡略化することができ、その結果、スループットを大幅に改善することができる。

【0015】

【発明の実施の形態】

本発明に係る薄膜半導体装置は、ドレイン及びゲート耐圧の問題をゲート絶縁膜の膜厚を調整するのではなく、ゲート電極電界及びP型TFTのドレイン濃度を規定することにより解決できることに着目し、単一の膜厚のゲート絶縁膜を駆動電圧の異なる複数のTFTに適用することを特徴としている。具体的には、絶縁性ガラス基板上に駆動電圧の異なる複数のTFTが混載される薄膜半導体装置において、ゲート絶縁膜の膜厚を全てのTFTでゲート電極電界が $1\text{MV}/\text{cm}$ ～ $2\text{MV}/\text{cm}$ となる膜厚条件に設定し、かつ、P型TFTのドレイン濃度を $3\text{E}+19/\text{cm}^3$ ～ $1\text{E}+20/\text{cm}^3$ の範囲とし、高圧N型TFTにLDD構造を採用することにより、異なる駆動電圧のTFTを同一膜厚のゲート絶縁膜で形成することを可能とするものである。

【0016】

【実施例】

上記した本発明の一実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。

【0017】

【実施例1】

まず、本発明の第1の実施例に係る薄膜半導体装置及び液晶表示装置について、図1を参照して説明する。図1は、本発明の第1の実施例に係る駆動電圧の異なる複数のTFTを含む薄膜半導体装置の構造を示す断面図である。

【0018】

図1に示すように、第1の実施例に係る薄膜半導体装置は、ガラス基板100上にアンダーコート層102を介して形成されたアモルファス又は多結晶状のシ

リコン膜 1 0 6 ~ 1 0 9 上に、同一膜厚のゲート絶縁膜 1 1 4 ~ 1 1 7 を備え、チャネル領域上にはゲート電極 1 1 0 ~ 1 1 3 が形成されている。シリコン膜 1 0 6 ~ 1 0 9 の 1 0 6 a、1 0 6 b、1 0 7 a、1 0 7 b の領域には P 型のドーパントが、1 0 8 a、1 0 8 b、1 0 9 a、1 0 9 b、1 0 1 の領域には N 型のドーパントがドーピングされて 4 種類（低圧 P 型、高圧 P 型、低圧 N 型、高圧 N 型）の T F T が形成されている。1 0 1 は低濃度領域であり高圧 N 型 T F T のドレイン耐圧を確保する役目を担っている。この構造は L D D 構造と呼ばれるものである。

【 0 0 1 9 】

ここで、従来の構造では耐圧の異なる T F T を形成するためにゲート絶縁膜の膜厚を変えていたが、本実施例では、ドレイン及びゲート耐圧の問題をゲート電極電界及び P 型 T F T のドレイン濃度を規定することにより、単一膜厚のゲート絶縁膜を用いることを可能としている。すなわち、P 型、N 型 T F T を高圧用、低圧用ともにゲート電極電界が $1 \text{ MV} / \text{cm} \sim 2 \text{ MV} / \text{cm}$ となる膜厚のゲート絶縁膜 1 1 4、1 1 5、1 1 6、1 1 7 を用い、かつ、セルフアラインで製造するためにドレイン耐圧の観点から、ドレイン濃度を $3 \text{ E} + 1 9 / \text{cm}^3 \sim 1 \text{ E} + 2 0 / \text{cm}^3$ の範囲に設定している。

【 0 0 2 0 】

ここで、ドレイン濃度を $3 \text{ E} + 1 9 / \text{cm}^3 \sim 1 \text{ E} + 2 0 / \text{cm}^3$ の範囲に設定しているのは、ドレイン濃度が $1 \text{ E} + 2 0 / \text{cm}^3$ より大きい場合はリーク電流が無視できなくなり、また、逆に $3 \text{ E} + 1 9 / \text{cm}^3$ 以下である場合はオーミック不良が起こり、トランジスタの寄生抵抗となり特性不良が起こり、いずれの場合も特性不良の原因となるからである。

【 0 0 2 1 】

更に、N 型 T F T は高圧用に前述の L D D 構造を用いることにより、高圧用に対してもドレイン耐圧を確保し、その結果として、P 型 T F T と同じ膜厚のゲート絶縁膜を用いることを可能としている。

【 0 0 2 2 】

このような構成の薄膜半導体装置は以下の方法で製造することができる。まず

、ガラス、プラスチック等の透明絶縁基板（以下、ガラス基板 1 0 0 とする）上に、アンダーコート層 1 0 2 とするシリコン酸化膜（ SiO_x ）、シリコン窒化膜（ SiN_x ）等を LPCVD（減圧 CVD）法、PCVD（プラズマ CVD）法、スパッタ法等を用いて形成する。このアンダーコート層 1 0 2 は、ガラス基板 1 0 0 から活性層に不純物が拡散するのを防止するために設けるものであり、不純物の影響が問題とならない場合には必ずしも設ける必要はない。

【 0 0 2 3 】

その後、活性層となるアモルファスシリコン（以下、 a-Si と略す）膜を LPCVD 法、PCVD 法、スパッタ法等を用いて形成し、必要に応じて、 a-Si 膜上に、フォトリソグラフィ工程を用いてレジストパターンを形成し、イオン注入法もしくはイオンドーピング法を用いてチャネルドープを行う。その後、 a-Si 膜をエキシマレーザ光を用いてアニール（ELA）して結晶化し、多結晶のシリコン膜を形成し、フォトリソグラフィ工程を用いてアイランドパターンのシリコン膜 1 0 6 ～ 1 0 9 を形成する。

【 0 0 2 4 】

次に、LPCVD 法、PCVD 法、スパッタ法等を用いてゲート絶縁膜 1 1 4 ～ 1 1 7 としてシリコン酸化膜を形成する。その際、従来の方法では TFT の駆動電圧に応じてゲート絶縁膜の膜厚を変える必要があったため、部分的にゲート絶縁膜を形成したり、エッチングする工程が必要であったが、本発明の方法では、ゲート電極電界及び P 型 TFT のドレイン濃度を規定することにより実現するため、ゲート絶縁膜 1 1 4 ～ 1 1 7 は同一の膜厚で形成することができる。その後、PCVD 法、スパッタ法等を用いて、N 型の不純物を含む材料を堆積し、フォトリソグラフィ工程を用いてパターンニングしてゲート電極 1 1 0 ～ 1 1 3 を形成する。

【 0 0 2 5 】

次に、レジストパターンを用いて P 型 TFT 形成領域を覆い、ゲート電極 1 1 2、1 1 3 をマスクとして N 型 TFT に P（磷）をドーピングし、続いて、レジストパターンを用いて N 型 TFT 形成領域を覆い、同様にゲート電極 1 1 0、1 1 1 をマスクとして P 型 TFT に B をドーピングし、ソース／ドレイン領域を形

成する。その際、上述したようにP型TFTのドレイン濃度を $3 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ に設定する。なお、N型TFTのドーピングとP型TFTのドーピングの順番は任意であり、逆であっても良い。

【0026】

ここで、ドレイン近傍の高電界領域におけるデバイスの信頼性低下を防止するためにLDD構造を形成する場合は、レジストパターンを用いてゲートにオフセットをつけて不純物を注入した後、ゲート電極113をマスクとして低濃度にPを注入して低濃度領域101を形成し、その後、熱活性化法、レーザを用いたレーザ活性化法、ランプや高温 N_2 を用いたRTA (Rapid Thermal Anneal) 法等を用いて活性化を行う。

【0027】

その後、水素プラズマ処理を行った後、層間絶縁膜としてシリコン酸化膜、シリコン窒化膜等を堆積し、ゲート及びソース/ドレイン上にコンタクトホールを形成し、電極としてメタルを形成して電極配線を行う。その後、シリコン窒化膜等のパッシベーションを成膜してパッドコンタクトホールを形成して薄膜半導体装置を形成する。

【0028】

従来の構造と本発明の構造を比較すると、従来の構造では図3の201および202を形成するために高圧と低圧のTFTでゲート絶縁膜の膜厚を変える必要があり、少なくともゲート絶縁膜の製膜を2回、エッチングを1回行わなければならないが、本発明ではこのような複雑な工程を回避することができ、異なる駆動電圧のTFTを同一のゲート絶縁膜で形成することが可能となり、その結果、工程を簡略化することができる。さらに、高圧N型TFTのみをLDD構造としていることでN型TFTに関してもP型TFTと同じゲート絶縁膜を使用することができ、工程を簡略化することができる。これらの二点の特徴を用いた本発明を実施することでスループットの向上を達成している。

【0029】

そして、このような異なる耐圧のTFTを形成した基板を用いて液晶表示装置や有機EL表示装置等の画像表示装置を形成することにより、各々の回路の動作

を最適に設定することができるため、画像表示装置の性能を向上させることができる。

【0030】

〔実施例2〕

次に、本発明の第2の実施例に係る薄膜半導体装置及び液晶表示装置について、図2を参照して説明する。

【0031】

前記した第1の実施例では、ゲート電極電界が $1\text{MV}/\text{cm} \sim 2\text{MV}/\text{cm}$ の範囲となるように規定し、さらに高圧N型TFTのみにドレインに低濃度領域101を設けることで単一ゲート絶縁膜厚で図1の4種類のTFTを作製したが、さらにゲート電極電界を $0.2\text{MV}/\text{cm} \sim 0.8\text{MV}/\text{cm}$ 程度、つまり上限を $1\text{MV}/\text{cm}$ 以下に下げることにより、さらに領域101を設けることなく、高圧、低圧のN型及びP型のトランジスタを単一ゲート絶縁膜を用いてセルフアラインで作製することができる。このような構造にすることにより、低濃度領域101を設けるのに要する工程をさらに削減することが可能となり、工程の更なる簡素化を図ることが可能である。

【0032】

なお、上記各実施例の構造においては、図1のゲート電極110、111、112、113はN型の不純物を含む材料で作製されているが、同様の構造の低圧、高圧のP型TFT、つまり図1の左側のTFTに対して、ゲート電極をP型の不純物を含むものにする 것도可能であり、その際の構造は図3のようにゲート電極301、302がP型の不純物を含むものとなる。また、本発明の構造においてゲート電極の材料として、ポリシリコン、アルミ、クロム、タングステンシリサイド、クロム、モリブデン、銅、チタン、タンタルなどにもすることもできる。

【0033】

また、上記実施例では高圧N型TFTのドレインに低濃度不純物領域を設けたが、この低濃度不純物領域101をソース側にも設けることもできる。その場合でも追加の工程は必要ではないのでスループットの向上を妨げるものとはならな

い。

【 0 0 3 4 】

【発明の効果】

以上説明したように、本発明の薄膜半導体装置の構造によれば、単一ゲート絶縁膜厚で高圧及び低圧のP型、N型のTFETをドレイン及びゲート耐圧を確保しつつ作製することが可能となる。

【 0 0 3 5 】

その理由は、P型のドレイン濃度を $3 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ の範囲とし、かつ、ゲート電極電界が $1 \text{ MV} / \text{cm} \sim 2 \text{ MV} / \text{cm}$ (又は、 $0.2 \text{ MV} / \text{cm} \sim 0.8 \text{ MV} / \text{cm}$) の範囲となるようにゲート絶縁膜の膜厚を定め、また、高圧N型TFETにはドレインに低濃度領域を備えるLDD構造を採用しているからである。

【 0 0 3 6 】

これにより、駆動電圧の異なる少なくとも2種類のTFETを単一ゲート絶縁膜厚で絶縁性ガラス基板上に作製する際の工程の簡略化を達成し、その結果スループットを大幅に改善することができ、この構造を液晶表示装置に適用することによって液晶表示装置の低価格化、高性能化を実現することができる。

【図面の簡単な説明】

【図 1】

本発明の第1の実施例に係る耐圧の異なる複数のTFETを含む薄膜半導体装置の構造を模式的に示す断面図である。

【図 2】

本発明の第2の実施例に係る耐圧の異なる複数のTFETを含む薄膜半導体装置の構造を模式的に示す断面図である。

【図 3】

従来の耐圧の異なる複数のトランジスタを含む半導体装置の構造を示す断面図である。

【符号の説明】

100 ガラス基板

1 0 1 低濃度領域

1 0 2 アンダーコート層

1 0 6 ~ 1 0 9 シリコン膜

1 0 6 a、1 0 6 b、1 0 7 a、1 0 7 b P型ドーパント注入領域

1 0 8 a、1 0 8 b、1 0 9 a、1 0 9 b N型ドーパント注入領域

1 1 0 ~ 1 1 3 ゲート電極

1 1 4 ~ 1 1 7 ゲート絶縁膜

2 0 0 シリコン基板

2 0 1、2 0 2 ゲート絶縁膜

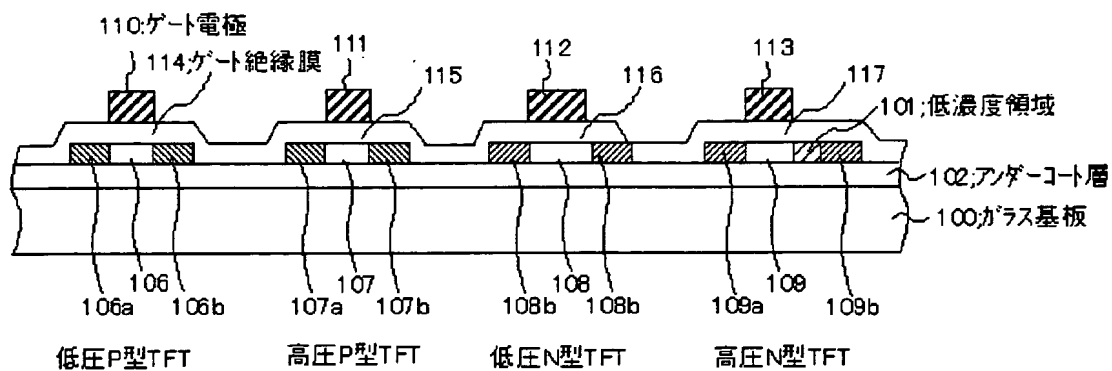
2 0 3、2 0 4 ゲート電極

2 0 5、2 0 6 チャネル活性層

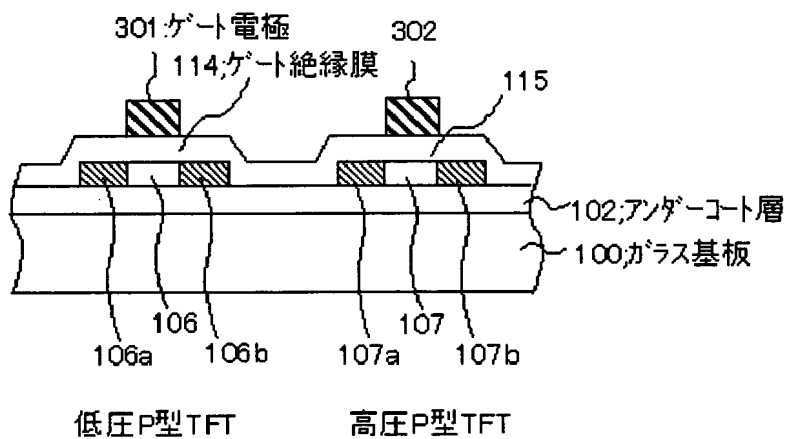
3 0 1、3 0 2 ゲート電極

【書類名】 ・ ・ 図面

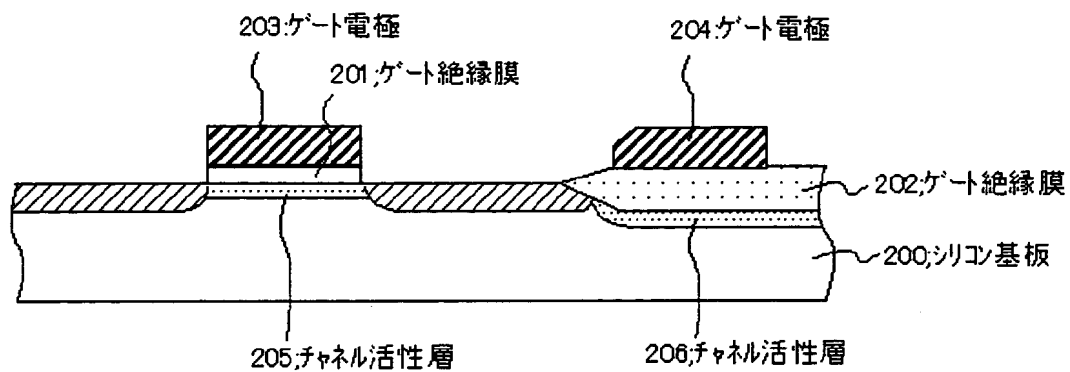
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】

工程を複雑にすることなく、高いスループットで形成した高圧／低圧のTFTを備える薄膜半導体装置及び液晶表示装置の提供。

【解決手段】

ドレイン及びゲート耐圧の問題をゲート絶縁膜の膜厚を調整するのではなく、ゲート電極電界及びP型TFTのドレイン濃度を規定することにより解決できることに着目したものであり、具体的には、絶縁性ガラス基板100上に駆動電圧の異なる複数のTFTが混載される薄膜半導体装置において、ゲート絶縁膜114～117の膜厚を全てのTFTでゲート電極電界が1MV/cm～2MV/cmの範囲となる膜厚条件に設定し、かつ、P型TFTのドレイン濃度を $3E+19/cm^3$ ～ $1E+20/cm^3$ の範囲とし、高圧N型TFTにLDD構造を採用することにより、異なる駆動電圧のTFTを同一膜厚のゲート絶縁膜で形成することを可能とする。

【選択図】

図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日
[変更理由] 新規登録
住 所 東京都港区芝五丁目 7 番 1 号
氏 名 日本電気株式会社